次世代超並列計算機開発
—多粒子系向け超並列計算機の開発
Next-Generation Massively Parallel Computers
— Massively Parallel Computer for Particle-based Simulations

牧野淳一郎（東京大学大学院総合文化研究科）

1　研究組織

サブリーダー	牧野淳一郎	東京大学大学院総合文化研究科助教授 プロセッサチップ仕様決定
	蜂巣泉	東京大学大学院総合文化研究科助教授 応用ソフトウェア開発
	泰地真弘人	統計数理研究所助教授 プロセッサチップ論理設計
	船渡陽子	東京大学大学院総合文化研究科助手 応用ソフトウェア開発
	福重俊幸	東京大学大学院総合文化研究科助手 FPGA システム開発
	高橋広治	日本学術振興会研究員（ポストドクター） 応用ソフトウェア開発

2　研究の目的

この研究の目的は、粒子系に特化した次世代超並列計算機を開発し、汎用計算機では不可能な規模のシミュレーションを可能にするとともに、その応用範囲をさらに拡大することである。多粒子系の場合は、粒子間相互の計算に専用化したプロセッサを作ることでコスト・パフォーマンスを大幅に向上させることができることがわかっている。我々が1995年に完成させたGRAPE-4 [TMF$^+$96], [MTES97] は、世界で初めてテラフロップスの速度を達成した計算機となった。

本研究では、専用計算機でGRAPE-4の性能を100倍以上向上させたサブペタフロップスの計算速度が達成可能であることを実証する。さらにその専用計算機と、汎用の超並列計算機、さらにこの二つの中間に位置するFPGAを用いた再構成可能論理を使った多目的計算機を組み合わせてヘテロジニアス・マルチコンピュータを構築する。

以下に、汎用の高速計算機に比べたGRAPE-6システムの位置づけと、高速が実現できる理由を簡単にまとめる。図1に、過去20年間の計算機の速度の進歩を示す。ベクトル並列型の速度は90年代に入って頭うちになっていること、その後の並列計算機の速度の進歩はおおむね一定速度（10年で100倍）で進んできていることが見てとれる。GRAPE

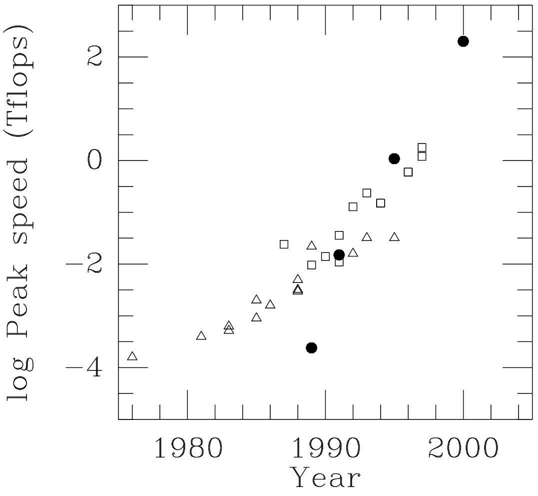

図 1: 計算機のピーク速度の進化。三角はベクトル / ベクトル並列型、四角は超並列、黒丸は GRAPE である。2000 年の GRAPE の点は GRAPE-6 の目標性能である。

の速度の進歩はそれよりもかなり早い。

初期の GRAPE の速い立ち上がりは、投入予算の増大によるものもあるし、、製造技術の進歩によるもの、いいかえれば、初期の GRAPE がその時点で最新の技術を使っていなかったためという面もある。が、ごく初期を除いてはこれらの影響はあまり大きくなく、性能向上は主に半導体技術の進歩に依存している。それでは、同じ (あるいはより優れた) 半導体技術を使っている汎用ベクトル計算機や超並列計算機に比べて、GRAPE がより高い性能を発揮でき、さらにその差が広がっていくのはどうしてであろうか ?

なお、差が広がっているかどうかは、費用が示されていないので図 1 からは明らかではないかもしれない。ここで数字をしめすと、GRAPE-6 の予算は GRAPE-4 の 2 倍強 (5 億程度) でしかない。これに対し、2000 年頃の最高速の汎用超並列計算機はいわゆる ASCI プロジェクト、あるいは地球シミュレータにより実現されるであろう。いずれにしても速度は 3–10 Tflops 程度、コストは 100 億円以上と見込まれる。すなわち、価格性能比で GRAPE-6 は汎用並列計算機の 400 ないし 1000 倍程度よいことになる。GRAPE-4 ではこの比は 100 ないし 200 程度であったので、GRAPE-6 ではいっそう改善していることがわかる。

差が広がっていく本質的な理由は、汎用計算機では使っている半導体の面積のうち有効な計算に使える割合が次第に減少していくからである。この状況は図 2 に示されている。図 2 は高性能マイクロプロセッサの、サイクルタイム当たり実行可能な浮動小数点演算の数を示している。これを見ると、70 年代から 80 年代中頃にかけてまでの進歩は非常に速い。しかし、80 年代後半に演算数が 1 を超えたころから、進歩が非常に遅くなっていることがわかる。実際、2000 年頃までに計画されているマイクロプロセッサで、同時実行する浮動小数点演算の数が 8 を超えるものは存在しない。80 年代と同じように進歩すれば 100 を超えるものができるはずである。トランジスタの数では 10 年間にほぼ 100 倍の

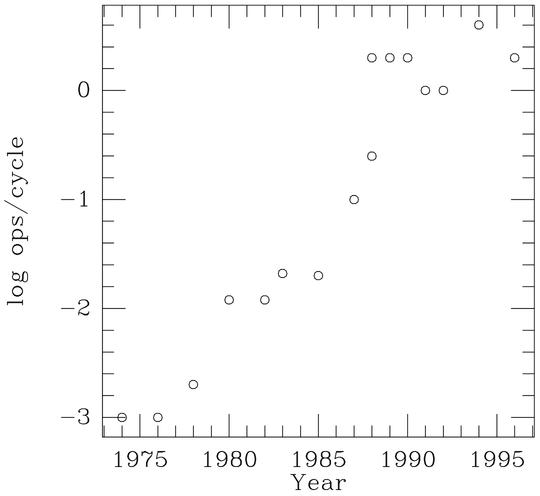

図 2: 代表的な高性能マイクロプロセッサの、サイクルタイム当たり実行可能な浮動小数点演算の数

進歩が実現しているのである。

トランジスタの数は100倍になっているのに、演算器の数が数倍にしかならない理由は2つある。一つは、それだけの数の演算器を有効に使うことが難しいということである。現在のマイクロプロセッサで主流であるスーパースカラーのアプローチでは、既存のプログラムを使う限り、数個以上の演算器を有効に使うことは困難であることがわかっている。[Joh91]

もちろん、並列度の高いアプリケーションでは、上の制限は問題にならない。しかし、この場合には、実際の演算速度の上限はプロセッサとメモリの間の転送バンド幅で決まってしまう。[McC95] プロセッサとメモリの間の転送速度をあげるのは、プロセッサ内部の演算速度を上げたりや演算器の数を増やしたりするのに比べてはるかに困難である。というのは、半導体プロセスを微細化するようにはチップ間配線は微細化できないし、また、転送周波数を上げることも物理的サイズが大きいために難しいからである。その結果、メモリとプロセッサ間のデータ転送速度は、過去20年の間にゆっくりとしか進歩してこなかった。このために、演算器を増やすことに意味がなくなっているのである。

これに対する究極的な解決の方法は、例えば[PAC$^+$97]とそこで引かれているいくつかの論文で提案されている、いわゆるProcessor in Memory (PIM) のアプローチであろう。これは要するにメモリとプロセッサを物理的に1チップに集積するもので、それによって高いバンド幅を得ようというものである。しかし、この方法では、プロセッサ間の転送バンド幅は非常に限られ、高い性能が得られるアプリケーションは現在の超並列計算機以上に制限されることになろう。実際、例えばGRAPE-6が有効に使えるような多粒子系の問題でも、PIMを有効に使うためにはプロセッサ間通信が非現実的な程度に速いか、あるいは特殊なトポロジーを持つ必要がある。

これに対し、GRAPEでは、メモリとプロセッサ間の転送速度を押えたままで、プロ

セッサチップ内のほとんどのトランジスタを有効に演算に使うことができる。これは、根本的には、対象とする物理系の性質、すなわち多数の粒子が長距離相互作用によって影響しあい、しかも高精度の計算が必要であるということによるものである。このために、データ量は粒子数に比例するのに対し、演算量は粒子数の自乗に比例する。この性質をうまく生かしたアーキテクチャを構成することで、汎用計算機に比べて進歩を速くできるのである。いいかえれば、専用計算機の相対的な優位性は、これから大きくなりこそすれ小さくなることはない。

すなわち、今後の計算科学研究の進展に対して、専用計算機のアプローチが果たす役割はますます大きくなるものと考えられる。これは、汎用計算機に比べた相対的な利益が大きくなっていくからである。このことを実証し、専用計算機の開発の一つのモデルを提供することが、本研究の目標の一つである。

もう一つの目標は、FPGA を使った粒子系向け多用途計算機の構築である。FPGA とは、内部回路を書き換え可能な LSI であると思ってよい。通常のカスタム LSI に比べると集積度で 1/100、速度でもかなりのペナルティがあるが、そのかわりに開発の初期コストがかからない、また、間違えても修正可能であるといった、少数生産に向いた特長を持つ。このため、粒子系計算でも重力 / クーロン力計算ほどコストがかからない、そのかわり演算自体は複雑で多様性がある相互作用に使うのに適していると考えられる。

FPGA を計算に使う試みは [BA96] を代表として非常に多数あるが、現在までのところ、非常に限られた応用、例えば DNA のシーケンスマッチングなどを除いてはさほどの成果は上げていない。これは、基本的にはこれまでは FPGA の集積度が小さかったことにもよる。もちろん、FPGA の集積度が上がると同時に通常のマイクロプロセッサの集積度も上がるが、すでに述べたようにマイクロプロセッサの性能は集積度に比例しては上がらない。このために、当面は FPGA が相対的に有利になっていくのである。

現在の FPGA でも、まだ通常の浮動小数点演算を行なうのは困難である。しかし、多くのアプリケーションで、すべての演算で同じ精度が必要なわけではない。実際、GRAPE のいくつかのものの場合には、演算パイプラインに位置により演算精度を変化させることで回路規模をオーダーで小さくすることができている。[IMES90], [MIE90] 従って、同様な最適化を行なうことが可能なアプリケーションにおいては FPGA が汎用計算機に比べて有利になってきていると考えられる。このことを実証することが、本研究の第二の目標である。

3 研究計画の概要

研究の前半において、重力・クーロン相互作用に専用化した、ピーク性能 200 テラフロップス程度の専用プロセッサを開発するとともに、粒子系に専用化したアーキテクチャを持つが相互作用を計算するパイプラインを再構成可能論理（FPGA、Field Programmable Gate Array）で実現した多用途粒子系プロセッサを開発する。このプロセッサの性能は、応用にもよるがテラフロップス程度となろう (図 3)。後半においては、これらと汎用の並

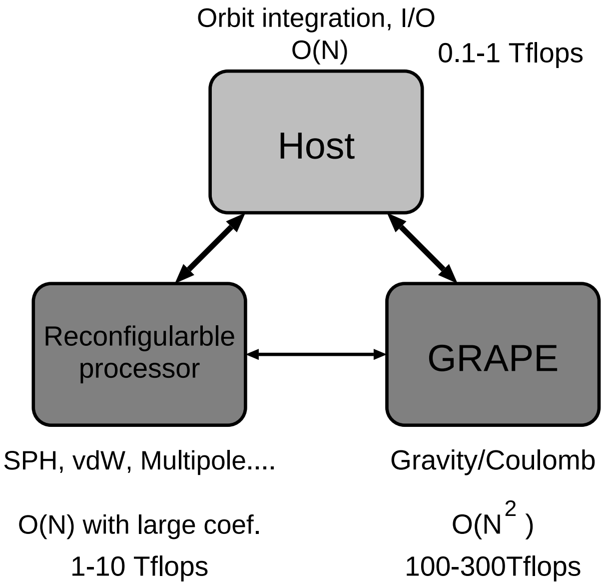

図 3: システム全体の構成

列計算機を組み合わせたヘテロジニアス・マルチコンピュータを実現し、天体シミュレーション、分子動力学計算、粒子的アプローチでの流体計算などに応用する。問題に専用化したプロセッサは特定の問題については汎用計算機に比べて2-3 桁高い絶対性能を実現できる。FPGA を使ったプロセッサは、集積度において専用プロセッサに劣るが、そのかわり多様な問題に適用可能である。我々のアプローチは、FPGA を高度に専用化したプロセッサと組合せることで、双方の長所をいかす、つまり、FPGA の ある程度の汎用性と専用プロセッサの高速性を同時に実現しようというものであり、現在のところ世界でも他に例を見ないものである。

以下、重力・クーロン相互作用用専用プロセッサと、多用途粒子系プロセッサについてその概略をまとめる。

3.1 重力・クーロン相互作用用専用プロセッサ

計算速度の目標は 200 Tflops とする。このために、50 Gflops の演算速度をもつプロセッサチップを 4096 個並列に動作させる。プロセッサチップは、粒子間相互作用を計算するパイプラインを 6 本格納し、150 MHz のシステムクロックで動作する。各パイプラインはサイクル毎に 60 演算を行なう。従ってプロセッサチップ単体のピーク性能は 54 Gflops、消費電力は 10W 程度となる見込みである。

基板 1 枚に 16 プロセッサをのせてプロセッシングボードとし、プロセッシングボード 16 枚とコミュニケーションボード 1 枚で 1 クラスタ、16 クラスタでシステム全体を構成する。これらの 16 のクラスタは、インターフェースを集中制御するコントロールユニットを介してホスト計算機に接続される。なお、実装に際しては 2 クラスタを 1 ラックにま

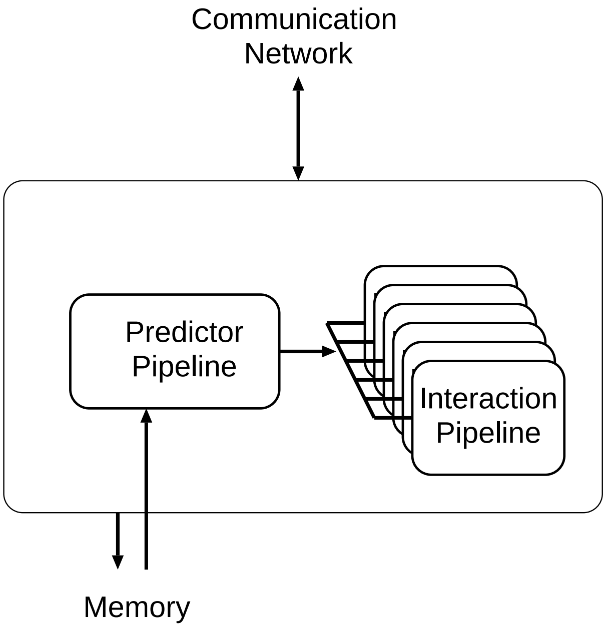

図 4: 重力・クーロン力相互作用専用プロセッサチップ

とめる。ラック当たりの発熱量は 5KW となり、強制空冷でそれほど問題はない。また、トータルの発熱量は 40 KW 程度となる。

ホスト計算機とコントロールユニットの通信速度は最低 2 GB/s 程度が必要になる。なるべく多様な応用を可能にするためには、それ以上の通信速度があることが望ましいので、必要に応じて拡張可能な構成とする。

プロセッサチップはスタンダードセルによるセミカスタム LSI として開発する。設計ルールは現在利用可能な 0.25μm を用い、180 万ゲート程度を集積する。プロセッサチップは、ほぼ GRAPE-4 のプロセッシングボードを単一の LSI に集積するものであり、メモリとホストへの通信ネットワークへのインターフェースを持つ。メモリとの転送バンド幅は 1 GB/s、ネットワークへのバンド幅は 200MB/s（双方向）程度となる予定である。図 4 にプロセッサチップの構成を示す。

プロセッサボード内およびボード間のネットワークのトポロジーと物理的な実装方式についてはこれから検討する必要がある。最近になって、Gigabit Ethernet や IEEE-1394 などの非常に高速なシリアル接続技術が安価に利用可能になってきたので、これらを利用して高速でしかも柔軟なネットワークを構成する。

3.2 多用途粒子系プロセッサ

こちらは、計算速度などに明確な目標を設定することは難しい。これは、実効性能が応用の種類、特に必要な計算精度によって大きく変わるからである、

現在の時点で、最大の FPGA チップは公称ゲート数で 10 万程度である。10 万ゲート

という数はGRAPE-4のプロセッサチップと同等であり、例えば単精度(32 bit)の浮動小数点演算器ならば10個程度集積できるはずである。

実際には、特に乗算器などに使った場合にはそれほどの規模のものが集積できるわけではなく、現状では実効ゲート数で2-3万程度である。言い換えれば、単精度の演算器で2-3個であり、倍精度の演算はシングルサイクルでは困難である。

しかしながら、逆に必要とする計算精度が例えば12ビットであれば、10個以上の演算器が集積でき、かなり複雑な計算を行なうパイプラインを実現可能である。

本プロジェクトで開発する多用途粒子系プロセッサでは、以下を目標にする。

- 単体チップとしては、1999年頃に利用可能になると思われる公称ゲート数で40万程度のものを用い、75MHz程度のクロックで動作させる。
- システム全体としては、このチップを1024個並列に動作させる

主要部の演算精度に単精度を要求した場合で、チップ単体の性能は1Gflops、システム全体の性能は1Tflops程度となる。これはもっとも悪い場合で、例えば実効的な精度が12ビット程度で良ければ4Tflops、さらに8ビット程度なら10Tflops以上の速度が期待できる。

システム構成としては、重力/クーロン用計算機と同様に各プロセッサチップがメモリユニットを持つ構成とし、プロセッサボードやホストとの接続インターフェースのハード・ソフトについては重力/クーロン用計算機と完全に同一のものを利用することで開発の手間を押える。

4　平成9年度の研究成果の概要

今年度の主な成果は以下のとおりである。

- 重力プロセッサチップの仕様決定
- 重力プロセッサチップの論理設計
- FPGAを使った計算システムのプロトタイプ試作
- GRAPE-4上でのソフトウェアの開発

以下、それぞれについて簡単に述べる。

まず、重力プロセッサチップの仕様決定について簡単にまとめる。これは本計画のキーとなる部分である。単体での性能にあまり高いものを要求すると実現が困難になり開発が遅れるだけでなく、最悪の場合は完成できなくなることもあり得る。これに対し、あまり低く設定してはシステム全体としてのコストパフォーマンスが低下することになる。

各半導体メーカーの製造技術の水準、設計ソフトウェアの実力等に関する総合的な評価を行なった上、目標仕様を表1のように定めた。

重力プロセッサチップの全体構成については既に図4に示した通りであり、予測子パイプライン1組と相互作用計算パイプライン6組を内蔵する。予測子パイプラインは以下の

項目	目標仕様	備考
動作周波数	125 MHz	
相互作用用パイプライン本数	6	
動作電圧	2.5 V	
消費電力	20W 以下	
粒子メモリ	内蔵せず	同期 SRAM 使用
粒子メモリインターフェース幅	64 bit	
粒子メモリインターフェース速度	125MHz	
データ入出力ポート幅	32bit × 3	入力 2、出力 1
データ入出力ポート速度	25 MHz	
位置、時刻データ形式	64bit	固定小数点
速度、内部表現データ形式	36 bit	浮動小数点、仮数 24 ビット

表 1: 重力プロセッサチップ仕様

計算を行なう

$$
\begin{aligned}
\Delta t &= t - t_j \\
\mathbf{x}_{\mathrm{p}} &= \frac{\Delta t^4}{24}\mathbf{a}_0^{(2)} + \frac{\Delta t^3}{6}\dot{\mathbf{a}}_0 + \frac{\Delta t^2}{2}\mathbf{a}_0 + \Delta t\mathbf{v}_0 + \mathbf{x}_0 \qquad (1) \\
\mathbf{v}_{\mathrm{p}} &= \frac{\Delta t^3}{6}\mathbf{a}_0^{(2)} + \frac{\Delta t^2}{2}\dot{\mathbf{a}}_0 + \Delta t\mathbf{a}_0 + \mathbf{v}_0, \qquad (2)
\end{aligned}
$$

ここで、 $\mathbf{x}_{\mathrm{p}}$ と $\mathbf{v}_{\mathrm{p}}$は粒子 j の時刻 t での予測された位置、速度であり、$\mathbf{x}_0, \mathbf{v}_0, \mathbf{a}_0, \dot{\mathbf{a}}_0$ $\mathbf{a}_0^{(2)}$ は粒子 j の時刻 t での予測された位置、速度、加速度とその一階、および二階導関数である。

また、相互作用用計算パイプラインは以下の計算を行なう。

$$
\begin{aligned}
\mathbf{a}_i &= \sum_j Gm_j \frac{\mathbf{r}_{ij}}{(r_{ij}^2 + \epsilon^2)^{3/2}} \qquad (3) \\
\dot{\mathbf{a}}_i &= \sum_j Gm_j \left[\frac{\mathbf{v}_{ij}}{(r_{ij}^2 + \epsilon^2)^{3/2}} - \frac{3(\mathbf{v}_{ij} \cdot \mathbf{r}_{ij})\mathbf{r}_{ij}}{(r_{ij}^2 + \epsilon^2)^{5/2}} \right], \qquad (4)
\end{aligned}
$$

ここで

$$
\begin{aligned}
\mathbf{r}_{ij} &= \mathbf{x}_j - \mathbf{x}_i, \qquad (5) \\
\mathbf{v}_{ij} &= \mathbf{v}_j - \mathbf{v}_i. \qquad (6)
\end{aligned}
$$

であり、 $\mathbf{x}_i$、$\mathbf{v}_i$、$\mathbf{a}_i$、$\mathbf{a}_i$、$\dot{\mathbf{a}}_i$、はそれぞれ粒子 i の位置、速度、加速度とその一階時間導関数、G は重力定数、m_jは粒子 j の質量である。また、 ϵ はソフトニングパラメータと呼ばれる定数である。

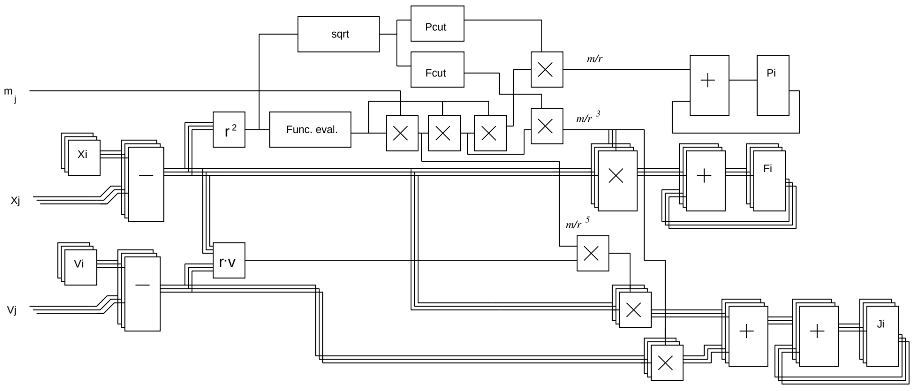

図 5: 相互作用パイプラインのブロック図

すなわち、チップ全体としては、式 (1) および (2) をホーナーの公式を用いて計算するパイプライン（x, y, z の 3 成分のために 3 本）を 1 セット、式 (3) の重力と式 (3) のその導関数を評価するパイプラインを 6 セット持つものとなる。なお、$\mathbf{x}_i$ などの、そこでの重力を計算される粒子のデータは各相互作用パイプラインが持つレジスタに保持される。図 5 に相互作用パイプラインのブロック図を示す。

これに対し、$\mathbf{x}_j$ などの、重力を及ぼす粒子のデータは、順序アクセスされるメモリに格納される。このメモリは、当初プロセッサチップに集積することも考えたが、現時点で利用可能な技術を使った場合はロジック部分の速度、集積度低下とメモリ部分の集積度低下のペナルティが大き過ぎることが検討の結果分かった。従って、今回のシステムでは、メモリは外づけとする。

メモリとプロセッサチップ間の転送速度は、計算機システム全体の性能と使いやすさに大きく影響する。これは、転送速度に反比例して、同時に重力を計算する粒子の数を増やす必要があるからである。このために、転送速度が知い差過ぎると、空間的な非一様性が大きい系のシミュレーションで実効性能が低下することになる。定量的評価を行なった結果、プロセッサチップあたり 1GB/s 程度のメモリバンド幅があれば、ほとんどの問題で十分な性能を達成できることがわかった。

重力プロセッサチップの論理設計については、各演算で必要な計算精度や演算方式（演算結果の丸めの方法や、数の表現など）についての検討を行ない、演算方式の詳細を決定した。これは現在のところ汎用計算機上で C 言語によるシミュレータが動作しており、ハードウェア記述言語 (VHDL) に変換する作業を進めている。

VHDL で記述したものを論理合成することで実際のチップの論理設計の大部分が出来ることになる。

FPGA を使った計算システムについては、Altera 社の FPGA EPF10K100 を 2 個使う評価用システム PROGRAPE-1（PROgrammable GRAPE）ハードウェアを開発した。ホストインターフェースには GRAPE-4 用に開発した PCI インターフェースをそのまま使うことで、短期に高性能なものを完成させることができた。現在、このシステムに単純

な重力計算用パイプラインと流体計算用のパイプラインを実装する作業を行なっている。

最後に、GRAPE-4上での応用ソフトウェアの開発について簡単に述べる。GRAPE-4は1992年度からの科学研究費「特別推進研究」で開発したピーク性能1Tflopsの重力専用計算機である。開発当初の構成ではシングルプロセッサのワークステーションにしか接続できなかったが、PCIバスを介して多様なホスト計算機に対応できるようになった。現在、共有メモリ型マルチプロセッサ計算機であるDEC社のAlphaserver 8400上で、複数のホストインターフェースを独立に動作させるためのテストを行なっている。いくつか技術的な問題が見つかり、それに対応した変更作業を進めている。

5　今後の計画

以下に、来年度以降の計画について簡単に述べる。

平成10年度

重力/クーロン力用計算機についてはホスト計算機の評価、接続ネットワーク、実装技術など、システム全体の詳細設計、試作を行なう。また、FPGAを使ったシステムでは、性能評価とソフトウェア開発を行なう。

平成11年度

重力/クーロン力用計算機システム全体を組み上げる。この年から、天体物理学での実用計算を始める。実用計算を通して必要なソフトウェア開発と性能評価を進めていく。FPGAを使った計算システムは大規模並列化システムのプロトタイプ開発を行なう。

平成12年度

ホスト計算機、重力/クーロン力用計算機システム双方の能力を強化し、より実用性の高いシステムに発展させる。また、天文学以外のアプリケーションへの応用を進める。具体的には、Ewald Methodへの適用を行なう。

平成13年度

重力/クーロン力用計算機システム、FPGAを使った計算システムを増強し、筑波で開発される計算機と統合したヘテロジニアスシステムを構築する。

6　学会発表、論文等

6.1　国際学会等における発表

[1] J. Makino, *GRAPE-6*, Joint-Discussion No. 15, International Astronomical Union Kyoto General Assembly, Kyoto, Japan, August 22, 1997.

[2] K. Takahashi, *Anisotropic Fokker-Planck Models of Globular Cluster Evolution*, Joint Discussion No. 15, International Astronomical Union Kyoto General Assembly, Kyoto, Japan, August 22, 1997.

[3] T. Fukushige, J. Makino, and M. Taiji, *Highly-Parallelized Special-Purpose Computer for N-body Simulation: GRAPE-5*, Joint Discussion No. 15, International Astronomical Union Kyoto General Assembly, Kyoto, Japan, August 22, 1997.

[4] A. Kawai, T. Fukushige, M. Taiji, J. Makino,and D. Sugimoto, *The PCI interface for GRAPE systems: PCI-HIB* , Joint Discussion No. 15, International Astronomical Union Kyoto General Assembly, Kyoto, Japan, August 22, 1997.

[5] J. Makino, *Stellar Dynamics on 100 Tflops special-purpose computers*, International Symposium on Supercomputing, Tokyo, Japan, Sept 1-3, 1997.

[6] M. Taiji, *Special-Purpose Computer for Classical Particle Simulations*, International Symposium on Supercomputing, Tokyo, Japan, Sept 1-3, 1997.

[7] T. Fukushige and J. Makino, *N-body Simulation of Halo Formation Using GRAPE-4* , International Symposium on Supercomputing, Tokyo, Japan, Sept 1-3, 1997.

[8] Y. Funato and J. Makino, *Distribution function after merging of two spherical galaxies*, International Symposium on Supercomputing, Tokyo, Japan, Sept 1-3, 1997.

[9] J. Makino, *Timestep-Symmetrized integrators and their applicattion to classical N-body problems*, SCICADE97, Grado, Italy, Sept. 15-19, 1997

[10] Y. Funato, *A meta-algorithm to symmetrize any one-step time-integration scheme*, SCICADE97, Grado, Italy, Sept. 15-19, 1997

6.2 国内学会等における発表

[1] 高橋広治, 銀河の潮汐力を受けた球状星団の進化, 日本天文学会 1997 年秋期年会 1997 年 9 月。

[2] 中野太郎、牧野淳一郎楕円銀河中心部の密度カスプの性質, 日本天文学会 1997 年秋期年会 1997 年 9 月。

[3] 牧野淳一郎、福重俊幸、船渡陽子、泰地真弘人, サブペタフロップス専用計算機 GRAPE-6 計画の概要, 日本天文学会 1997 年秋期年会 1997 年 9 月。

[4] 吉永恵子、小久保英一郎、牧野淳一郎, Hermite 積分法の誤差の解析, 日本天文学会 1997 年秋期年会 1997 年 9 月。

[5] 増田信之、福重俊幸、牧野淳一郎, MD-GRAPE による SPH 法の加速, 日本天文学会 1997 年秋期年会 1997 年 9 月。

6.3 雑誌論文等

[1] T. Endoh, T. Fukushige, and J. Makino *Gravothermal Expansion in N-Body Sys-*

tems, PASJ, 49, 345-352 (1997).

[2] A. Kawai, T. Fukushige, M. Taiji, J. Makino, and D. Sugimoto, *The PCI interface for GRAPE systems: PCI-HIB*, PASJ, 49, 607-618 (1997).

参考文献

[BA96] Buell D. and Arnold J.M.and Kleinfelder W. (1996) *Splash 2: FPGAs in a Custom Computing Machine.* IEEE Comp. Soc. Press, Los Alamitos, CA.

[IMES90] Ito T., Makino J., Ebisuzaki T., and Sugimoto D. (1990) A special-purpose n-body machine grape-1. *Computer Physics Communications* 60: 187–194.

[Joh91] Johnson M. (1991) *Superscalar Microprocessor Design.* Prentice-Hall, Englewood Cliffs, NJ.

[McC95] McCulpin J. D. (1995) Memory bandwidth and machine balance in current high performance computers. *Newsletter of IEEE Computer Architecture Technical Committee* 1: 19–25.

[MIE90] Makino J., Ito T., and Ebisuzaki T. (1990) Error analysis of the grape-1 special-purpose n-body machine. *Publications of the Astronomical Society of Japan* 42: 717–736.

[MTES97] Makino J., Taiji M., Ebisuzaki T., and Sugimoto D. (1997) Grape-4: A massively parallel special-purpose computer for collisional n-body simulations. *The Astrophysical Journal* 480: 432+.

[PAC+97] Patterson D., Anderson T., Cardwell N., Fromm R., Keeton K., Kozyrakis C., Thomas R., and Yelik K. (1997) A case for intelligent ram. *IEEE Micro* 17(2): 34–43.

[TMF+96] Taiji M., Makino J., Fukushige T., Ebisuzaki T., and Sugimoto D. (1996) Grape-4: A teraflops machine for n-body simulations. In Hut P. and Makino J. (eds) *Dynamical Evolution of Star Clusters; Proceedings of IAU Symposium 174*, pages 141–150. Kluwer, Amsterdum.